

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-185515

(43)Date of publication of application : 13.08.1991

(51)Int.Cl.

G06F 7/38
H03H 17/02
H03M 1/04
H04N 7/13

(21)Application number : 02-300010

(71)Applicant : GRASS VALLEY GROUP INC:THE

(22)Date of filing : 07.11.1990

(72)Inventor : ABT JOHN
DELWICHE JAMES A

(30)Priority

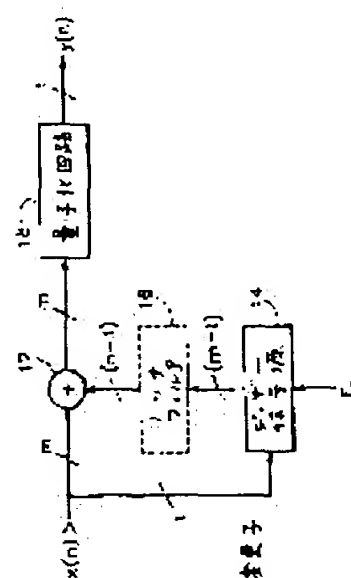
Priority number : 89 433882 Priority date : 09.11.1989 Priority country : US

(54) ADAPTIVE ROUNDING CIRCUIT

(57)Abstract:

PURPOSE: To generate a dither signal to be added to only the integer part of an input digital signal by combining a dither signal, whose number of bits is equal to the difference between the number of bits of the input digital signal and that of an output digital signal, with the input digital signal to generate the output digital signal.

CONSTITUTION: An m -bit input digital signal $x(n)$ is inputted to an adder 12. In this input digital signal, the number of integer bits is (t) and that of decimal bits is $(m-t)$. t integer bits function as a modifier input signal to a dither signal source 14, and this dither signal source 14 outputs an $(m-t)$ -bit dither signal. A frame pulse F_s is inputted to the dither signal source 14, and the dither signal is inputted to a notch filter 16 if the input digital signal is a composite video signal and an arbitrary component of the dither signal generated by a chrominance subcarrier frequency f_{SC} will be filtered. Thus, the dither signal to be added to only the integer part of the input digital signal is generated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

平3-185515

⑪ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)8月13日

G 06 F 7/38
H 03 H 17/02
H 03 M 1/04
H 04 N 7/13

B 7056-5B
P 8837-5J
9065-5J
Z 6957-5C

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 適応丸め回路

⑮ 特 願 平2-300010

⑯ 出 願 平2(1990)11月7日

優先権主張 ⑰ 1989年11月9日 ⑱ 米国(US) ⑲ 433,882

⑳ 発 明 者 ジョン・アプト アメリカ合衆国 カリフォルニア州 95959 ネバダ・シ
テイー レッド・ドッグ・ロード 13284
㉑ 発 明 者 ジェイムズ・アンソニー・デルウイチ アメリカ合衆国 カリフォルニア州 95945 グラス・パ
レー ロリー・ドライブ 160
㉒ 出 願 人 ザ・グラス・パレー・グループ・インコーポレーテッド アメリカ合衆国 カリフォルニア州 95959 ネバダ・シ
テイー ビトニー・スプリングス・ロード 13024
㉓ 代 理 人 弁理士 森崎 俊明

明 細 書

1. 発明の名称

適応丸め回路

2. 特許請求の範囲

入力デジタル信号のビット数よりも出力デジタル信号のビット数を減らす適応丸め回路であって、

ビット数が上記入力及び出力デジタル信号のビット数の差に等しく、上記入力デジタル信号から得た変更子入力信号の関数であるディザ信号を発生するディザ信号発生手段と、

上記ディザ信号を上記入力デジタル信号と組み合わせることで上記出力デジタル信号を発生する組み合わせ手段と

を具えた適応丸め回路。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、デジタル丸め回路、特に、丸め誤差のあるときのみディザ信号を発生するビデオ信号用の適応丸め回路に関する。なお、ディザ信号は、「フリーズ(凍結)フレーム」期間中は固

定グリッドであるが、入力信号が変化している期間中はランダムである。また、このディザ信号をろ波して、複合入力ビデオ信号期間中に副搬送波周波数成分を除去する。

[従来の技術]

ビデオ信号のデジタル処理により、しばしばダイナミック・レンジを広げること、即ち、ビデオ・サンプル値のビット数を増加することができる。通常、この増加したビット数をある点にて減少すると、コストを加減できると共に、デジタル相互接続標準に適合できる。ビデオ処理モジュールの出力端子におけるデジタル信号の切り捨て又は丸めにより、不快な相互関係エラーがしばしば生じる。例えば、平坦なフィールド信号又は傾斜信号の如く丸めた信号は、特に観測者の目に敏感に感じられる低周波相互関係エラーを生じる。ディザ信号を採用することにより、相互関係エラーをランダムにし、その影響を減らすことができる。ディザ処理した出力信号のエラーの大きさは、単純な丸めよりも大きい、エラーがランダムな

ので知覚が改善される。

しかし、この方法には、まだ問題がある。まず第1に、相互関係エラーがなく、ディザ信号を本当に必要としない場合でも、即ち、処理モジュールが処理を行わず、信号を単に通過させる場合でも、ディザ信号を付加することにより、デジタル信号の信号対ノイズ比が常に減少する。第2に、ディザ信号は、複合ビデオ信号の副搬送波周波数の成分を含んでいるかもしれず、この成分が不快なクロミナンス・ノイズを生じる。このノイズは、クロミナンス成分のないモノクロ・ビデオを処理する際に、特に目立つ。最後に、固定利得段へのスタティック・フレーム・バッファ入力信号の如く、固定信号源で発生し、固定処理動作を目的とする信号をディザ処理すると、一時的なノイズが生じる。すなわち、時間に対して一定なピクセルが、ディザにより、今度は、フレーム間で変化する。この問題は多少やっかいであるが、固定処理動作を行う凍結フレームが「凍結」状態に留まるのは望ましい。フレーム内ではランダム

「8ビットCCIR勧告601により処理又は計算したデジタル・ビデオ信号の剰余の適応化 (Accommodating the Residue of Processed or Computed Digital Video Signals within the 8 Bit CCIR Recommendation 601)」に開示されているエラー帰還技術である。mビットの入力ビデオ信号及び加算器52の出力信号の下位(m-t)ビットをこの加算器52に入力する。上位tビットを他のビデオ装置に供給する。なお、入力信号の累積した下位ビットの加算によるキャリーにより、最下位ビットが影響を受ける。

他の方法は、クワンテル・リミテッド (Quantel Limited) に譲渡されたヨーロッパ特許出願公告第0,270,259 A2の「ビデオ信号処理システムに関する改善 (Improvements Relating to Video Signal Processing Systems)」に開示されている。mビット信号をnビット信号に減らすには、下位(m-t)ビット及び乱数(ランダム信号)発生器の出力信号をコンピュータに入力する。(m-t)ビットが、発生した乱数(ランダ

であるが、フレーム間では同じである固定ディザ・グリッドを用いると、この問題を解決できるが、かかる固定ディザ・グリッドは、連続処理動作において直線的に累積する。これも、また、望ましくない。

第2図は、1984年にブレンティス・ホール・インク (Prentice-Hall, Inc.) より出版されたエヌ・エス・ジャヤント (N. S. Jayant) 及びピーター・ノル (Peter Noll) による「波形のデジタル・コード化 (Digital Coding of Waveforms)」に開示された、丸めを行わない従来の基本的なディザ技術を示す。入力信号 $x(n)$ 及びディザ信号源50からのディザ信号を加算器52に入力する。そして、その出力信号を量子化回路54により量子化して、出力信号 $y(n)$ を発生する。

デジタル・ビデオ信号のビット数を丸めて、単純な切り捨てに対する量子化エラーが目立たないようにする1つの方法は、英国放送協会のエム・ジー・クロール (M. G. Croll) らによる論文

ム信号) よりも大きいときは、最上位ビットを1だけ増分する。そうでなければ、最上位ビットを変更しない。

〔発明が解決しようとする課題〕

よって、必要とする場合のみ、ディザを適用し、入力信号が凍結されている場合、固定グリッド・ディザを適用し、入力信号が変化している場合、ランダム・ディザを適用する適応丸め回路が必要とされている。また、この必要とされている適応丸め回路は、入力信号が複合ビデオ信号の場合、不快なクロミナンス・ノイズを生じるものではない。

したがって、本発明の目的は、上述の如く必要とされている適応丸め回路の提供にある。

〔課題を解決するための手段及び作用〕

本発明によるビデオ信号用適応丸め回路は、丸めエラーのある場合のみ、ディザ信号を適用し、凍結フレーム入力信号に対して固定グリッド・ディザ信号を適用するが、変化する入力信号に対しては、一時的なランダム・ディザ信号を適用

する。また、複合ビデオ信号に対しては、ディザ一信号をろ波して、副搬送波周波数の成分を除去する。整数部分及び分数部分を有する入力デジタル信号を、加算器の一方の入力端子に供給する。乱数発生器は、データ・フレーム・レートで繰り返す固定ディザ一信号を発生する。この固定ディザ一信号をスクランブラー（混合器）に入力する。また、このスクランブラーに、入力デジタル信号の整数部分も入力する。スクランブラーからのディザ一信号を加算器の他方の入力端子である分数ビット部分に直接供給するので、ゼロを入力デジタル信号の整数部分に加算し、ディザ一信号を分数部分に加算する。代わりに、入力デジタル信号が複合デジタル・ビデオ信号の場合、ディザ一信号を加算器の入力端子に供給する前に、クロミナンス・ノッチ・フィルタに入力する。加算器の出力信号を切り捨て処理し、入力デジタル信号の整数部分として、丸めた出力デジタル信号を発生する。

本発明のその他の目的、利点及び新規な特徴は、

一信号をノッチ・フィルタ16に入力する。なお、このノッチ・フィルタは、オブションで設ける。入力デジタル信号の $(m-t)$ 分数ビットと組み合わせるために、ディザ一信号を加算器12に入力する。その結果の出力信号は、 m ビット入力デジタル信号をディザ一信号で変調したものである。入力信号の分数部分が0、即ち、丸めが必要なければ、入力信号の整数部分に対してキャリーオーバー（繰り越し）がなく、整数部分を量子化回路18に通過させて変化させない。入力デジタル信号が複合ビデオ信号の場合、クロマ・ノッチ・フィルタ16により、ディザ一信号により、クロミナンス成分は入力デジタル信号に付加されない。そして、入力デジタル信号が凍結フレームならば、即ち、フレームのピクセルがフレーム間で同じならば、フレーム間で同じ変更子値によりフレーム内の任意特定ピクセル用のディザ一信号源をアドレス指定して、各フレームのピクセルに対して同じディザ一信号を発生する。入力デジタル信号がフレーム間で変化していると、所定ピクセルの変更

添付図を参照した以下の説明より明らかになる。

〔実施例〕

第1図は、本発明による複合ビデオ信号用適応丸め回路のブロック図である。 m ビットの入力デジタル信号 $x(n)$ を加算器12に入力する。この入力デジタル信号は、整数ビットが t で、分数ビットが $(m-t)$ である。例えば、10ビットのデジタル信号を8ビットのデジタル信号に丸める場合、 $m=10$ で $t=8$ である。整数ビット t は、ディザ一信号源14への変更子(modifier)入力信号として作用し、このディザ一信号源14は、 $(m-t)$ ビットのディザ一信号を出力する。フレーム・パルス F_s をディザ一信号源14に入力する。このディザ一信号源14は、同じピクセル位置にて、同じ変更子入力信号に対して同じ値を出力するが、フレーム内の異なるピクセル位置での同じ変更子入力信号に対しては、ランダム値である。入力デジタル信号が複合ビデオ信号であり、クロミナンス副搬送波周波数 f_{sc} で生じるディザ一信号の任意の成分をろ波する場合、ディザ

子値は、フレーム間で変化して、ディザ一信号を変化させる。よって、ディザ一信号は、凍結フレームに対しては固定グリッド信号であり、変化するフレームに対してはランダム信号である。

ノッチ・フィルタ16は、第3図に示すように実現できる。サンプル周波数 f_s で、ディザ一入力信号を第1レジスタ22にクロックする。なお、 $f_{sc}=4f_s$ である。このディザ一入力信号は、加算回路26にも入力する。第1レジスタ22の出力信号を f_s の次のクロック・パルスの時に第2レジスタ24にクロックし、その出力信号を加算回路26に入力する。加算回路26の出力信号は、互い違いのサンプル、即ち、 $1/3$ 、 $2/4$ 、 $3/5$ などの組み合わせである。効果的な結果としては、ノッチ・フィルタ16の出力端子にて、入力信号の内、 f_{sc} で発生する任意の成分を除去することである。

適応丸め回路に適する論理的なディザ一信号源14'を第4図に示す。この回路では、 2^{m-t} (2 の t 乗)個、 $t=8$ の場合256個の乱数(ラ

ンダム信号) 発生器 32 が設けられている。これら乱数発生器 32 の各々は、フレーム同期パルスによりこの乱数発生器がリセットされてから、入力デジタル信号用のデータ・フレーム・レートで繰り返えし、同じ周波数 f_s の固定グリッド信号を発生する。しかし、この各々のグリッド信号は、互いにランダムである。乱数発生器 32 の出力信号をマルチプレクサ (MUX) 34 に入力する。入力デジタル信号の整数部分により、ピクセル・レート、即ち、サンプル・レート f_s でマルチプレクサ 34 をアドレス指定するので、このマルチプレクサは、ピクセルの整数部分に応じた各ピクセル用の乱数発生器 32 の異なる 1 つの出力信号をディザ信号として出力する。この方法において、凍結フレームの各ピクセル部分は、各フレーム期間中に同じ乱数発生器 32 を選択するので、所望の固定ディザ・グリッド信号となる。所定の一時的な位置で変化するピクセルは乱数発生器 32 の異なる 1 つを選択するので、変化する入力デジタル信号は、一時的なランダム・グリッド信

号部分を表す。加算器 12 の別の入力端子において、0 を整数部分 $(m-t)$ 及び $(m-1)$ に入力し、ノッチ・フィルタ 16 からのディザ信号を分数部分 $0 \sim (m-t-1)$ に入力する。加算器 12 の出力信号は、分数部分ビット $0 \sim (m-t-1)$ を切り捨てた t 整数ビット $(m-t) \sim (m-1)$ を表わす。第 7 図に示す如く、スクランブラー 36 は、複数の排他的オア・ゲート 38 でもよく、各ゲートは、乱数発生器 32 からの $(m-t)$ ビットの 1 つと、入力デジタル信号の整数部分からの t ビットの 1 つとを受ける。これらビットは、排他的オア・ゲート 38 に入力するが、入力デジタル信号からの最下位整数ビットは、乱数発生器からの最上位ディザ・ビットとスクランブルされる。よって、ディザ信号が 2 ビット D_0 、 D_1 であり、入力デジタル信号の整数部分が 8 ビット $I_0 \sim I_7$ の場合、ビット I_1 が排他的オア・ゲート 38 の 1 つに入力し、ビット D_0 とスクランブルされ、また、ビット I_0 が他の排他的オア・ゲートに入力して D_1 とスクランブル

号に支配される。

第 5 図に示すディザ信号源 14 は、第 4 図の論理的ディザ信号源 14' を実現した実際のハードウェアである。単一の乱数発生器 32 を具えフレーム・レートで繰り返す固定ディザ・グリッド信号を発生する。変更子入力信号をマルチプレクサではなく、スクランブラー 36 に入力する。このスクランブラー 36 は、乱数発生器 32 の出力信号を変更する。スクランブラーでのスクランブル動作 (混合動作) が決定的ならば、即ち、同じ入力信号が常に同じ出力信号を発生するならば、凍結フレーム信号により、その出力端子に望み通りの固定ディザ・グリッド信号が発生する。同様に、スクランブル動作を変更することにより、変化する入力デジタル信号がディザ・グリッド信号を変化させる。

第 6 図に詳細に示す如く、 m ビットの入力デジタル信号を加算器 12 の入力端子の 1 つに供給する。また、ビット $0 \sim (m-t-1)$ は、分数部分を表し、ビット $(m-t) \sim (m-1)$ は、整

数部分を表す。スクランブラー 36 では、わずか 2 個の排他的オア・ゲートが必要である。

[発明の効果]

よって、本発明のビデオ信号用適応丸め回路によれば、入力デジタル信号の整数部分のみに加算するディザ信号を発生する。このディザ信号は、凍結フレーム入力信号に対しては固定ディザ・グリッドの形式であり、また、変化する入力信号に対しては、ランダム・ディザ・グリッドの形式である。複合ビデオ入力信号にとって、ディザ信号を副搬送波周波数のノッチ・フィルで処理するので、このディザ信号は、カラー成分を処理した入力信号に加算しない。

4. 図面の簡単な説明

第 1 図は、本発明の複合ビデオ信号用適応丸め回路のブロック図、

第 2 図は、従来のディザ技法のブロック図、

第 3 図は、第 1 図の適応丸め回路用のノッチ・フィルタのブロック図、

第 4 図は、第 1 図の適応丸め回路用の論理的な

ディザ信号源のブロック図、

第5図は、第1図の適応丸め回路用の実際のディザ信号源のブロック図、

第6図は、第1図の適応丸め回路のより詳細なブロック図、

第7図は、第6図の適応丸め回路用のスクランブラーの回路図である。

12: 加算器 (組み合わせ手段)

14: ディザ信号源

16: ノッチ・フィルタ

18: 量子化回路

22、24: レジスタ

32: 乱数発生器

34: マルチプレクサ

36: スクランブラー

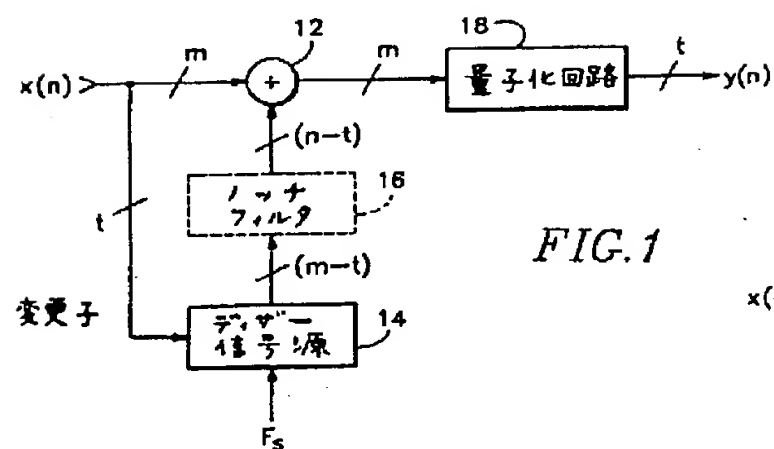


FIG. 1

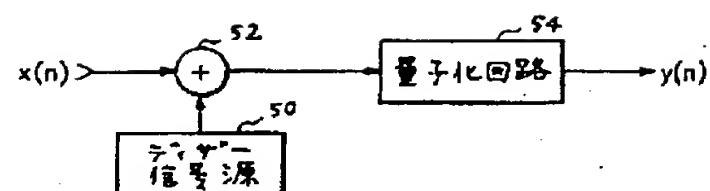


FIG. 2

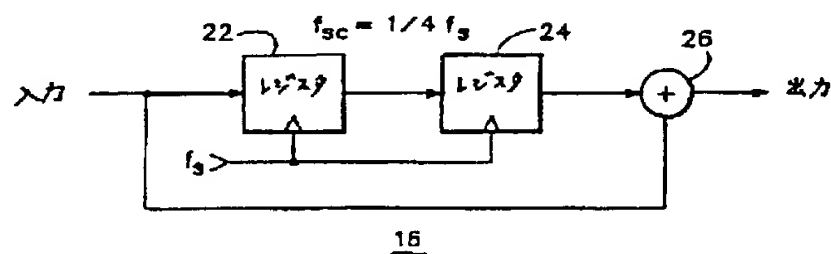


FIG. 3

